

JU 548-41159 (English Translation)

T-1/2

<A>

52 Japan Classification

19 Japan Patent Office

Japanese Utility Model Publication

JPO File No.

11 Japanese Utility Model Application Laid-Open No. 48-41159

43 Publication Date May 25, 1973

Request for Examination not requested (total 4 pages)

54 Charge-Coupled Semiconductor Device

21 Application No. 46-83995

22 Filing Date September 15, 1971

72 Inventor SATOH, Shuichi

Ha-9-507, Tamagawajutaku, 3-1, Somechi, Chofu-shi

71 Applicant Sony Corporation

6-7-35, Kitashinagawa, Shinagawa-ku, Tokyo

74 Representative Patent Attorney TSUCHIYA, Masaru (One other)

$\langle B \rangle$  $\langle C \rangle$  $\langle \oplus \rangle$ 

Fig. 2B

JU 548-41159 (Publication Document)  
 特開 昭 48-41159 (2)  
 7-1/2

<A>

③ 日本分領  
 99(5)E 3  
 99(5)H 0  
 98(9)D 12  
 97(7)C 61  
 99(5)C 23

④ 日本特許庁  
 公開実用新案公報 ⑩ 実開昭48-41159  
 庁内整理番号 6426-57  
 6513-57  
 6372-56  
 6340-56  
 7113-57

⑤ 実開 昭 46-83995  
 ⑥ 出 願 昭 46(1971)9月15日  
 ⑦ 考 案 者 佐藤収一  
 調布市染地3の1多摩川住宅はの  
 9の507  
 ⑧ 出 願 人 ソニー株式会社  
 東京都品川区北品川6の7の35  
 ⑨ 代 理 人 弁理士 土屋勝 外1名

⑤ 電荷結合形半導体装置

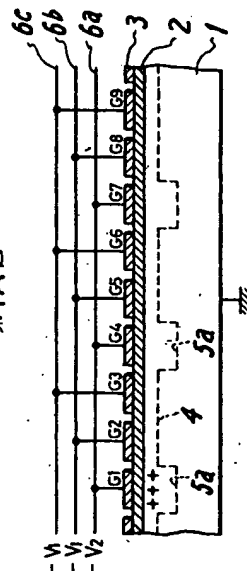
⑤ 実用新案登録請求の範囲

半導体基板上に電荷蓄積効果を有する絶縁層を設け、階段状若しくは傾斜状に空乏層が形成されるように前記絶縁層の1部若しくは全部に電荷を注入保持せしめ、前記電荷を注入保持せしめた絶縁層下において少数キャリアが方向性を具備して移送されるように構成したことを特徴とする電荷結合形半導体装置。

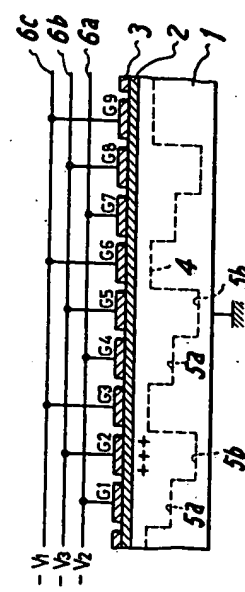
図面の簡単な説明

第1A図、第1B図及び第1C図は従来の電荷結合形素子を示す断面図、第2A図～第2C図は本考案の実施例を示すものであつて、第2A図は電荷蓄積効果を有する絶縁層を形成した状態の断面図、第2B図は電極を設けた状態の断面図、第2C図は平面図、第3図は本考案の別の実施例を示す断面図である。また図面に用いられている符号において、11は半導体基板、12、12はP<sup>+</sup>形半導体領域、14はシリコン酸化物層、15はアルミナ層、21、22、23、24、25、26は電極、27は空乏層である。

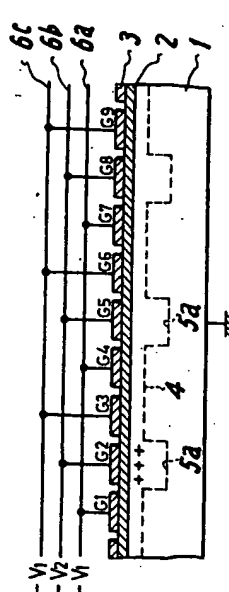
第1A図



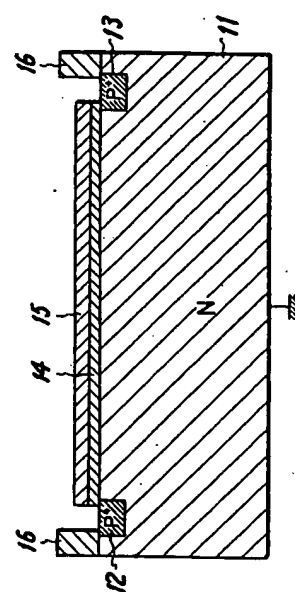
第1B図



第1C図



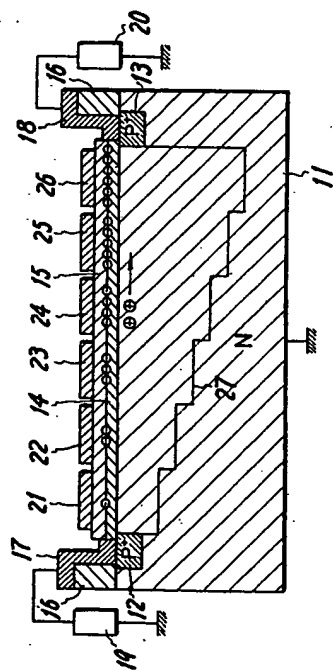
第2A図



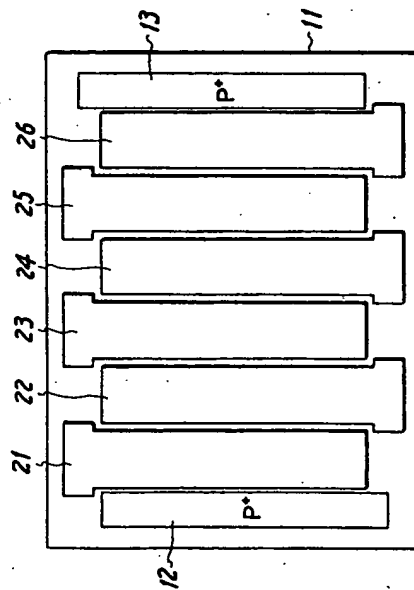
FP04-0319  
 '08.8.28  
 OA

$$\frac{1}{2} \cdot \frac{1}{2}$$

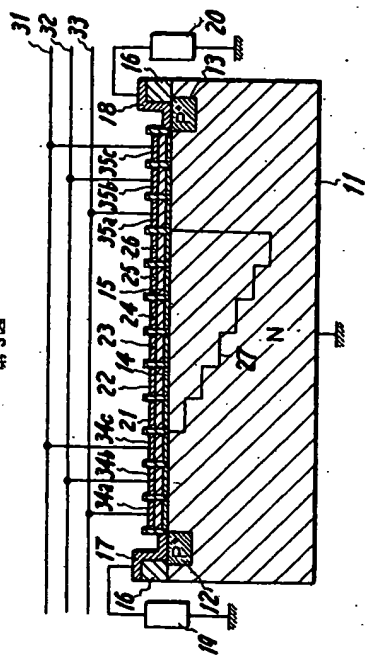
第28圖



第2C 図



### 第3回





実用新案登録願 (2)

昭和 46年 9月 15日

特許庁長官 殿

1. 考案の名称

電荷結合形半導体装置

2. 考案者

佐藤 一  
東京都調布市染地3の1多摩川住宅の9の507

3. 実用新案登録出願人

東京智品川北島川6丁目7番55号  
(218)フニニ株式会社  
代表者 盛田 昭夫

4. 代理人

〒160  
東京都新宿区西新宿7の1の15 ミヤコビル  
電話東京 (03) 363-1466 番  
(6595) 佐野 上 岡 勝  
同 所  
(7215) 佐野 上 高 野 則 次

5. 添附書類の目録

- (1) 明細書 1通
- (2) 図面 1通
- (3) 願書 1通
- (4) 金印 1通

48-41159-01

T

(1)

48-41159-02

明 細 書

1. 考案の名称

電荷結合形半導体装置

2. 実用新案登録請求の範囲

半導体基板上に電荷蓄積効果を有する絶縁層を設け、階段状若しくは傾斜状に空乏層が形成されるように前記絶縁層の1部若しくは全部に電荷を注入保持せしめ、前記電荷を注入保持せしめた絶縁層下において少数キャリアが方向性を具備して移送されるように構成したことを特徴とする電荷結合形半導体装置。

3. 考案の詳細な説明

本考案は電荷結合形半導体装置に関するものである。電荷結合形素子とは半導体の表面にSiO<sub>2</sub>等の絶縁層を介して微小電極列を形成し、この微小

JU 548-41159 (Specification)

(正)

2/9

41159

電極と半導体間に逆バイアス電圧を加えることによりつて空乏層を形成し、この空乏層を逆バイアス電圧のレベルによつて制御し、電位の井戸を形成し、この電位の井戸が少数キャリアを捕えてこの少数キャリアを一方向に順次移動させるように構成した素子である。

既に知られている電荷結合素子の構成及びその動作を第1A図～第1C図に付き説明すれば、半導体基板(1)は低不純物濃度かつ低表面単位の場合、 $n$ 形のシリコン基板であつて、この表面に1000Å程度の絶縁層(2)、例えば $\text{SiO}_2$ 層を具備している。

絶縁層(2)の上には $\text{Cr-Au}$ 等で形成された電極(3)が数 $\mu$ の微小ギャップを有して複数個直線状に配列されている。尚この図面では理解を容易にするために各電極に $G_1, G_2, \dots, G_9$ の符号を付

(2)

48-41159-03

してある。そしてこのそれぞれの電極(3)はリード線(6a)(6b)(6c)に接続され、3段階の逆バイアス電圧 $-V_1, -V_2, -V_3$ が選択的に印加されるように構成されている。

この素子の動作を説明すれば、まず第1A図に示す如く左側の電極 $G_1$ の近傍にアバランシェ効果等適当な方法で正孔を発生させ、かつリード線(6a)に $-V_2$ ボルト、リード線(6b)(6c)に $-V_1$ ボルト、即ち電極 $G_1, G_4, G_7$ に $-V_2$ ボルトを、電極 $G_2, G_3, G_5, G_6, G_8, G_9$ に $-V_1$ ボルトを印加する。尚この逆バイアス電圧 $V_1$ と $V_2$ の関係は $V_2 > V_1$ であつて、かつ $V_1$ は空乏層を作るに足る限界電圧よりも大きな値である。

このように逆バイアス電圧を印加することによつて、点線で示す如く空乏層即ち電位の井戸(6a)

(3)

48-41159-04

が形成され、この電位の井戸 (5a) が注入した少数キャリア即ち正孔を捕える。

次に第 1 B 図に示す如く、リード線 (6a) に  $-V_1$  ボルト、リード線 (6b) に  $-V_2$  ボルト、リード線 (6c) に  $-V_3$  ボルト、即ち電極 G1、G4、G7 に  $-V_1$  ボルト、電極 G2、G5、G8 に  $-V_2$  ボルト、電極 G3、G6、G9 に  $-V_3$  ボルト印加する。尚各電圧の関係は  $V_1 > V_2 > V_3$  である。このように逆バイアス電圧を加えれば、電極 G1 と相隣る電極 G2 との下部に電極 G1 の下部よりも深い空乏層即ち深い電位の井戸 (5b) が形成されるため、電位の井戸 (5a) に捕えられていた正孔は電位の井戸 (5a) から (5b) に移動する。

次に更に正孔を右側に移動させるためには第 1 C 図に示す如くリード線 (6a) に  $-V_1$  ボルト、リード線 (6b) に  $-V_2$  ボルト、リード線 (6c) に  $-V_3$  ボルト

(4)

48-41159-05

5-3/9  
トを印加し、電極 G2 の下部の電位の井戸 (5a) を浅くし、第 1 A 図と同じような空乏層の分布とし、次いで電極 G3 の下部に電位の井戸 (5a) よりも深い電位の井戸を作る。この結果、電極 G2 の下部の正孔を電極 G3 の下部に形成した深い電位の井戸に移動させることが出来る。

上述の如く電荷結合形素子はバイアス電圧の切換え、即ち 3 拍駆動によつて少数キャリアを順次移動することが出来るためシフトレジスタ等として使用することが可能である。

然しながら上述の電荷結合形素子は 3 拍駆動であるため駆動機構が複雑となる欠点及び駆動機構の速さに少数キャリアの移動速度が制限される等の欠点を有する。

本考案は上述の如き欠点を解決するため考案

(5)

48-41159-06

されたものであつて、半導体基板上に電荷蓄積効果を有する絶縁層例えばアルミナ+シリコンオキサイド層若しくはナイトライド+シリコンオキサイド層若しくはアルミナ層等の絶縁層を設け、階段状若しくは傾斜状に空乏層が形成されるように前記絶縁層の1部若しくは全部に電荷を注入保持せしめ、前記電荷を注入保持せしめた絶縁層下において少数キャリアが方向性を有して移送されるように構成した電荷結合形半導体装置に係るものである。このように構成することによつて駆動機構を簡単にすることが出来る。

次に本考案を適用した電荷結合形半導体装置の実施例を図面に付き述べる。

本考案に基づく電荷結合形半導体装置を製作するため、まず第2A図に示す如く、N形シリコ

(6)

48-41159-07

ン半導体基板11を用意し、その両端部に $P^+$ 形半導体領域12と13とを形成する。この $P^+$ 形半導体領域12は少数キャリアを注入するためのものであり、 $P^+$ 形半導体領域13は少数キャリアを抽出するためのものである。またN形シリコン半導体基板11上にシリコン酸化物層14を形成し、更にその上にアルミナ層15を形成する。尚上述のシリコン酸化物層14は $50\text{Å} \sim 200\text{Å}$ 程度に、アルミナ層15は $700\text{Å} \sim 2000\text{Å}$ 程度に形成する。また電極導出の周辺部分には厚いシリコン酸化物層16を形成する。また両端部には電極導出のための比較的厚いシリコン酸化物層16を形成する。

次に第2B図に示す如く、アルミナ層15の上に複数の電極21 22 23 24 25を形成する。この電極は例えば約 $150\text{Å}$ 幅に形成し、相隣る電極とのギ

(7)

48-41159-08

5-4/9



- ・ヤンプを約3μ程度とする。この結果金属電極-アルミナ層09-シリコン酸化物層04-半導体基板01とからなる層即ちMAOS層が形成される。このMAOS層はMとSとの間に臨界値電圧以上のバイアスを加えることによつて電荷を蓄積保持することができる性質を有するものである。またP<sup>+</sup>形半導体領域02に電極07を設け、入力回路09を接続し、P<sup>+</sup>形半導体領域03に電極08を設け、出力回路09を接続する。

次に電極010203040506に電荷を保持することが出来る臨界値以上の電圧を印加する。尚この印加する電圧はそれぞれの電極に対してそれぞれ異なる値とし、左から右に進むに従つて高い値にする。臨界値電圧はシリコン酸化物層04とアルミナ層09との厚さによつて変化するが、例えば20ボルト

(8)

5-5/9

程度とすれば、1つの電極には+50ボルトを1秒間程度印加する。他の電極には数ボルト間隔の大きさで異なる電圧を印加する。その結果、それぞれの電極直下の半導体基板01からシリコン酸化物層04とアルミナ層09との界面及びその近傍に電荷が注入され、電圧印加を停止しても電荷が保持された状態となる。上述の如くして蓄積保持された電荷は逆方向の臨界値以上の電圧を加えないと初期の状態に戻らない。今、上述のMAOS層をMIS電界効果トランジスタのゲート絶縁膜に適用したとして考えれば、電荷の蓄積はMISトランジスタの閾値電圧V<sub>th</sub>の変化として表われる。この実施例の如くN形の半導体基板01でシリコン酸化物層04とアルミナ層09とに電荷が注入保持されている状態においてはPチャネルデプレショ

(9)

ン形のFETと同じような状態となる。従つて上  
 述の如くシリコン酸化物層04とアルミナ層09との  
 界面及びその近傍に電荷が蓄積されれば、第2B  
 図に模式的に示す如く空乏層04が広がる。即ち電  
 極01～08の電荷の量に応じて階段状に順次深くな  
 るように形成されている。

次に上述の如く形成された接点の動作に付き述  
 べる。今、入力回路09によつてP<sup>+</sup>形半導体領域03  
 から正孔を電極01の下に注入したとすれば、空乏  
 層04が左側から右側に階段状に深くなっているの  
 で、正孔に方向性が与えられ、正孔は左側から右  
 側にシフトする。そしてついに右側のP<sup>+</sup>形半導体  
 領域03にまで移動し、出力回路09で正孔の到達を  
 知ることが出来る。

上述の如くすることによつて、クロックを用い

00

48-41159-11

5-6/9

ないでキャリアをシフトすることが出来るので簡  
 易型の電子装置に有効なものとなる。即ちこのよ  
 うな装置はシフトレジスタ、遅延回路、また出力  
 を入力に戻すように構成すれば記憶回路等として  
 使用することが出来る。

次に本考案の別の実施例を第3図に付き述べる。

尚この実施例は前述の実施例とほとんど同じであ  
 るので同じ働きをする部分には同一の符号を付し  
 てその説明を略す。この実施例においては少数カ  
 リアの注入部分と取り出し部分のみに電荷を蓄  
 積しない電極(34a)(34b)(34c)及び(35a)(35b)  
 (35c)を設け、バイアスライン010003に接続し、  
 3拍駆動でキャリアを移送するよう構成されて  
 いる。またそれぞれの電極と電極との間には周辺  
 部と同じように比較的厚いシリコン酸化物層04が

00

48-41159-12

S-7/9

設けられている。

上述の如く構成すれば、キャリアの注入と取り出しをクロックで行うことが出来、前述の実施例よりは正確となる。

以上本考案を実施例に基づいて説明したが本考案は上述の実施例に限定されることなく本考案の技術的思想に基づいて更に変形が可能であることは理解されるであろう。例えば少数キャリアの発生若しくは注入方法をアバランシェ効果による方法、光あるいは電子線等を照射する方法等をとることも出来る。またアルミナ層03とシリコン酸化物層04の代りにナイトライド層とシリコン酸化物層とによる絶縁膜等で形成することも出来る。また絶縁膜に対する電荷の蓄積を階段状とせずに傾斜状としてもよい。尚傾斜状に電荷を蓄積するた

めには絶縁膜上の電極に電圧を加えると共に、横方向の電圧を同時に加えることによつて達成される。

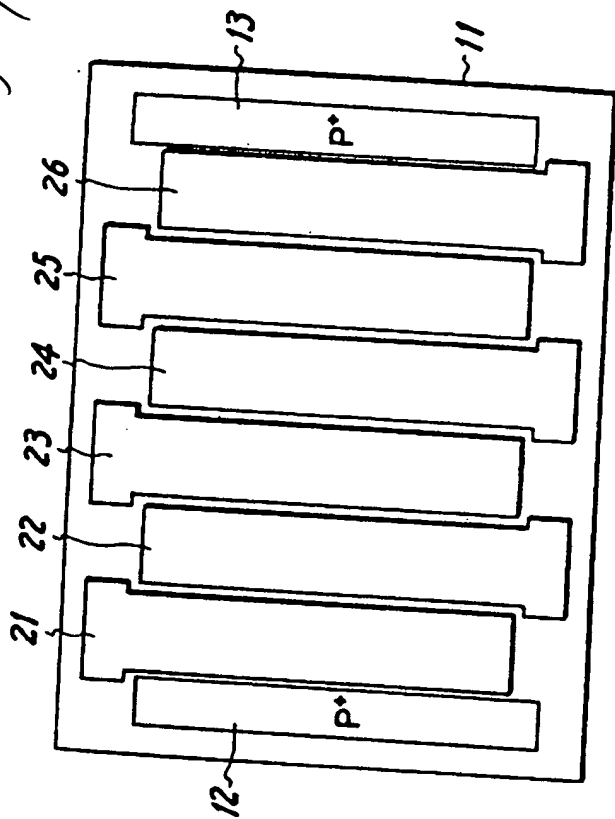
本考案は上述の如く絶縁層に電荷を蓄積させ、その電荷による電位の勾配に基づいてキャリアをシフトするものであるので、キャリアに方向性が与えられ、クロックなしでシフトすることも可能となり、簡単な装置に連した電荷結合形素子を提供出来る。

#### 4. 図面の簡単な説明

第1A図、第1B図及び第10図は従来の電荷結合形素子を示す断面図、第2A図～第20図は本考案の実施例を示すものであつて、第2A図は電荷蓄積効果を有する絶縁層を形成した状態の断面図、第2B図は電極を設けた状態の断面図、第

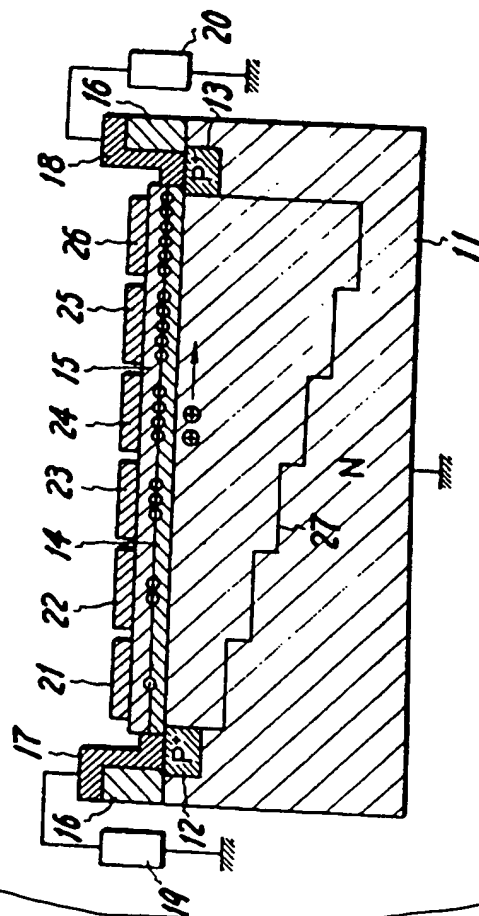


第2C図

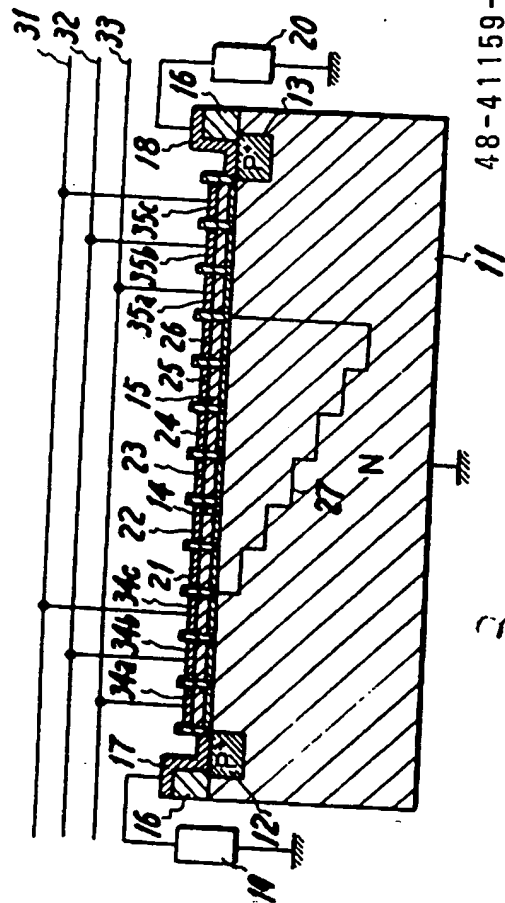


5-9/9

**第28回**



區  
3  
集



48-41159-18

JUS&8-41159 (Amendment)

A-1/2

(自発) 手続補正書

昭和47年12月13日

特許庁長官 三宅 幸夫 殿

1. 事件の表示

昭和46年実用新案登録第 83995 号

2. 考案の名称 電荷結合形半導体装置

3. 補正をする者

事件との関係

実用新案登録出願人

住所

東京都品川区北品川6丁目7番5号

氏名

(218) シニニ株式会社

代表者 櫻田 昭夫

4. 代理人

〒160

住所

東京都港区新橋2丁目15番5号

氏名

電話東京(03) 556-1466番

(6595) 弁理士 土屋 勝 (他1名)

5. 補正命令の日付

6. 補正により増加する発明の数

7. 補正の対象 明細書

8. 補正の内容

(1)、明細書第5頁8行の「3拍駆動」を「3相駆動」に訂正する。

48-41159-19

(2)、明細書第5頁11行の「3拍駆動」を「3相駆動」に訂正する。

(3)、明細書第9頁13行～第10頁1行の「この実施例の如く……状態となる。」を抹消する。

(4)、明細書第10頁3行の「蓄積されれば、第2 B」を「蓄積されれば、しきい値電圧  $V_{TH}$  が階段状に分布するか、若しくは第2 B」と訂正する。

(5)、明細書第10頁6行の「形成されている。」を「形成される。」と訂正する。

(6)、明細書第10頁14行の「知ることが出来る。」の後に、「尚階段状の電荷蓄積により空乏層が階段状に形成されず、しきい値電圧  $V_{TH}$  が階段状になるときは、電極間の電位に同一レベルのバリア電圧を印加する。これによりしきい値電圧の分布に対応した空乏層切が形成され、キャリア

(2)

48-41159-20

A-2/2

を一方方向にクロックレスで転送することが出来る。」  
を加入する。

— 以 上 —

48-41159-21

(3)